



PATENT ABSTRACTS OF JAPAN

(11) Publication number: 07175652 A

(43) Date of publication of application: 14.07.95

(51) Int. Cl.

G06F 9/32

G06F 9/38

(21) Application number: 05318619

(22) Date of filing: 17.12.93

(71) Applicant: **NEC CORP**

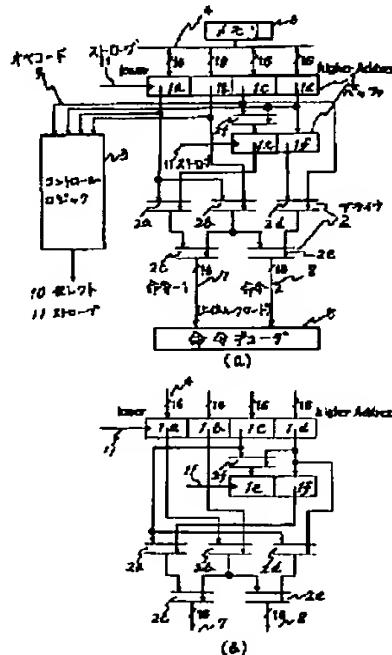
(72) Inventor: IZUMIKAWA MASANORI

(54) MICROPROCESSOR

(57) **Abstract:**

PURPOSE: To simplify a hardware for aligning an instruction sequence concerning the microprocessor provided with a variable length instruction set for simultaneously issuing two instructions in one clock cycle.

CONSTITUTION: Concerning the main part of a high-order half word, buffers 1a-1d are connected with an external memory 6, the output is respectively connected to a control logic 3, the buffer 1a is connected to aligners 2a and 2b, the buffer 1b is connected to the aligner 2b, the buffer 1c is connected to aligners 2d and 2f, the buffer 1d is connected to the aligner 2f and a buffer 1f respectively and the output terminal of the aligner 2f is connected to a buffer 1e. The output terminals of the buffers 1e and 1f are connected to the aligners 2a and 2d, the output terminals of the aligners 2a and 2d are connected to aligners 2c and 2e, the output terminal of the aligners 2c and 2e, and the aligners 2c and 2e are outputted as the data of high-order 16 bits and low-order 16 bits.



COPYRIGHT: (C)1995,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-175652

(43)公開日 平成7年(1995)7月14日

(51)Int.Cl.*

G 06 F 9/32
9/38

識別記号 350 A
310 H

F I

技術表示箇所

(21)出願番号 特願平5-318619

(22)出願日 平成5年(1993)12月17日

審査請求 未請求 請求項の数2 O L (全7頁)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 泉川 正則

東京都港区芝五丁目7番1号 日本電気株式会社内

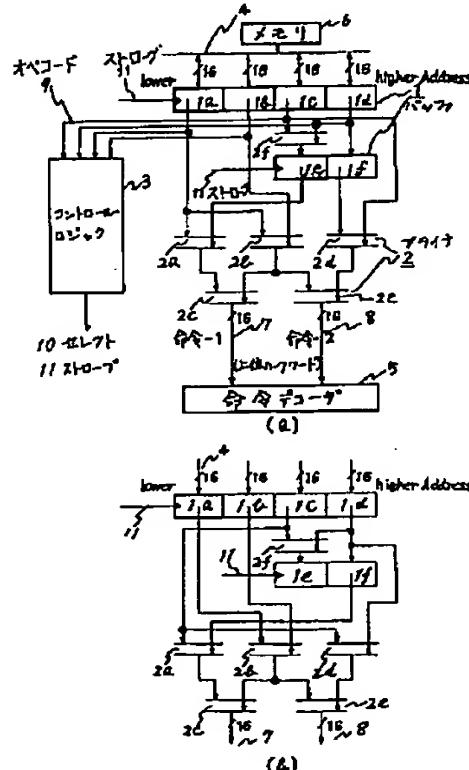
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】マイクロプロセッサ

(57)【要約】

【目的】1クロックサイクルで2命令を同時に発行する可変長命令セットをもつマイクロプロセッサの、命令列のアラインを行なうハードウェアを簡単化する。

【構成】上位ハーフワードの主要部は、バッファ1a～1dが外部メモリ6と接続され、その出力はコントロール・ロジック3にそれぞれ接続され、バッファ1aがアライナ2aおよび2bに、バッファ1bがアライナ2bに、バッファ1cがアライナ2dおよび2fに、バッファ1dがアライナ2fおよびバッファ1fにそれぞれ接続され、アライナ2fの出力端はバッファ1eに接続される。バッファ1eおよび1fの出力端はアライナ2aおよび2dに、アライナ2aおよび2dの出力端はアライナ2cおよび2eに、アライナ2bの出力端はアライナ2cおよび2eに接続され、アライナ2cおよび2eは上位16ビットおよび下位16ビットのデータとして出力される。



【特許請求の範囲】

【請求項1】 1クロックサイクルで2命令を同時に発行する可変長の命令セットを有するマイクロプロセッサにおいて、デコードする命令列の中の命令サイズが現在実行中のクロックサイクルの前のクロックサイクルまでに分らない場合に、前記命令列の最初の命令サイズを予測して2番目の命令デコードを行なう第1の手段と、前記予測がはずれたときに前記2番目の命令デコード結果を無効にする第2の手段とを備えることを特徴とするマイクロプロセッサ。

【請求項2】 前記第1および第2の手段が、メモリから供給されるデータを一時格納する第1、第2、第3および第4のバッファと、前記第3および前記第4のバッファから供給される前記データをそれぞれ選択的に出力する第1のアライナと、前記第1のアライナの出力を一時的に格納する第5のバッファと、前記第4のバッファから供給される前記データを一時格納する第6のバッファと、対応する前記各バッファから供給される前記データをそれぞれ選択的に出力する第2、第3および第4のアライナと、前記第2および前記第3のアライナからそれぞれ選択的に供給される前記データを選択的に第1の命令コードとして出力する第5のアライナと、前記第3および前記第4のアライナからそれぞれ選択的に供給される前記データを選択的に第2の命令コードとして出力する第6のアライナと、前記第1、前記第2、前記第3および前記第4のバッファからそれぞれ供給される前記データに応答して所定の制御信号を出力するコントロール・ロジックを備え、上位ハーフワードは、前記第1、前記第2、前記第3および前記第4のバッファの各々の入力端が外部メモリとバスラインを介してそれぞれ接続され、各々の出力は前記コントロール・ロジックにそれぞれ接続され、前記第1のバッファが前記第2および前記第3のアライナに、前記第2のバッファが前記第3のアライナに、前記第3のバッファが前記第1および前記第4のアライナに、前記第4のバッファが前記第1のアライナおよび前記第6のバッファにそれぞれ接続され、前記第1のアライナの出力端は前記第5のバッファに接続され、前記第5のバッファの出力端は前記第2のアライナに、前記第6のバッファの出力端は前記第4のアライナにそれぞれ接続され、前記第2および前記第4のアライナの出力端はそれぞれ前記第5および前記第6のアライナに、前記第3のアライナの出力端は前記第5および前記第6のアライナにそれぞれ接続され、前記第5のアライナは上位16ビットの前記第1の命令コードとして、前記第6のアライナは下位16ビットの前記第2の命令コードとしてそれぞれインストラクションデコーダに供給され、下位ハーフワードは、前記第1および前記第2のバッファの出力端がそれぞれ前記第3のアライナに、前記第3のバッファの出力端が前記第1、前記第2および前記第4のアライナに、前記第4のバッファの出

力端が前記第1および前記第4のアライナと前記第6のバッファとにそれぞれ接続され、前記第6のバッファの出力端が前記第2のアライナに接続された構成からなることを特徴とする請求項1記載のマイクロプロセッサ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はマイクロプロセッサに係わり、特に可変長の命令セットを有するマイクロプロセッサの命令デコードに関する。

【0002】

【従来の技術】 一般にコンピュータ・システムのCPU時間は、1命令あたりの平均クロック数をCPI (clock per instruction) とすると、CPU時間 = (命令数) × CPI × (クロックのサイクル時間)

によって決る。

【0003】 マイクロプロセッサにおけるRISC (reduced instruction set computer) アーキテクチャは命令数が少なくコンパイラとの整合性を考慮して簡単で効率の良さを指向したアーキテクチャであり、CPIを1に近づけることによってCPU時間を短縮してきた。

【0004】 CPIを1より小さくする方法は、例えば、複数の命令を1サイクル内に発行することである。コンパイラのスケジューリング制御によって1クロックサイクルに複数の独立した命令を発行するプロセッサはスーパスカラとよばれているが、このスーパスカラにおいてはハードウェアが少数(2~4)の互に独立した命令の流れが依存関係にある場合、あるいは他の特定の基準を満たさない場合には命令列の最初の命令のみが発行される。

【0005】

【発明が解決しようとする課題】 スーパスカラ・プロセッサの研究開発は、32ビット固定命令長のアーキテクチャに対して行なわれており、現在のところ可変長命令のスーパスカラ・プロセッサは公表されていない。

【0006】 可変長の命令セットで1クロックサイクルに複数の命令を発行する場合の問題点は、命令列の2番目以降の命令は前の命令をデコードしなければ命令の開始アドレスが分らず、命令列のアラインがクリティカルパスとなるという欠点があった。

【0007】 本発明の目的は、上述の欠点に鑑みなされたものであり、1クロックサイクルで2命令を同時に発行する可変長の命令セットを有するマイクロプロセッサにおいて、命令列のアラインを行なうハードウェアを簡素化することにある。

【0008】

【課題を解決するための手段】 本発明のマイクロプロセッサは、1クロックサイクルで2命令を同時に発行する可変長の命令セットを有するマイクロプロセッサにおい

て、デコードする命令列の中の命令サイズが現在実行中のクロックサイクルの前のクロックサイクルまでに分らない場合に、前記命令列の最初の命令サイズを予測して2番目の命令デコードを行なう手段と、前記予測がはずれたときに前記2番目の命令デコード結果を無効にする手段とを備えることを特徴とする。

【0009】

【実施例】次に、本発明の実施例について図面を参照しながら説明する。

【0010】図1 (a) は本発明の一実施例を示す上位ハーフワードのブロック図であり、図2 (b) は同様に下位ハーフワードのブロック図である。また、図3は可変長の命令セットの一例を示す図である。

【0011】図1 (a) を参照すると、本発明のマイクロプロセッサの上位ハーフワードの主要部は、バッファ1a, 1b, 1c, 1d, 1e および 1f、アライナ2a, 2b, 2c, 2d および 2e、コントロール・ロジック3を備え、バッファ1a～1dは外部メモリ6とバスライン4を介して接続され、その出力はオペコード9としてコントロール・ロジック3にそれぞれ接続されてコントロール・ロジックからセレクト信号10がアライナの選択制御信号(不図示)として、ストローブ信号11がバッファのクロックとしてそれぞれ分配される。

【0012】バッファ1aがアライナ2aおよび2bに、バッファ1bがアライナ2bに、バッファ1cがアライナ2dおよび2fに、バッファ1dがアライナ2fおよびバッファ1fにそれぞれ接続され、アライナ2fの出力端はバッファ1eに接続される。

【0013】バッファ1eの出力端はアライナ2aに、バッファ1fの出力端はアライナ2dにそれぞれ接続される。

【0014】アライナ2aおよび2dの出力端はそれぞれアライナ2cおよび2eに、アライナ2bの出力端はそれぞれアライナ2cおよび2eにそれぞれ接続され、アライナ2cは上位16ビットのデータとして、アライナ2eは下位16ビットのデータとしてそれぞれインストラクションデコーダ5に接続されている。

【0015】また、下位ハーフワードの主要部を示す図1 (b) を参照すると、図1 (a) の上位ハーフワードと異なる部分は、バッファ1aおよび2bの出力端がそれぞれアライナ2bに、バッファ1cの出力端がアライナ2a、2dおよび2fに、バッファ1dの出力端がアライナ2d、2fおよびバッファ1fにそれぞれ接続され、バッファ1fの出力端がアライナ2aに接続されることである。バッファ1eの出力端はこの場合無関係となる。それ以外の構成は図1 (a) の構成と同様であり同一構成要素には同一符号を付してここでの説明は省略する。

【0016】次に、本実施例の動作を説明する。

【0017】本実施例で使用する命令セットの例を図3

を参照しながらあらかじめ説明すると、この命令セットは、32(16～32)ビットのワードと16ビット(0～15)のハーフワードの命令長とを有し、命令コードは低い方のアドレスから順に並べられているものとする。ただし、32ビットのワード命令では、上位ハーフワードと下位ハーフワードが入れ替えられている。すなわち、ビット0～15に上位命令コードが、ビット16～32に下位命令コードが配置され、命令列の最初のハーフワードを見れば命令長が決定できるものとする。

【0018】図1 (a) および図1 (b) を併せて参照すると、本発明のマイクロプロセッサにおける命令バッファおよびアライナを、理解を容易にするために上位ハーフワードを図1 (a) に、下位ハーフワードを図1 (b) に分けて示してある。

【0019】下位ハーフワードのアライン動作は、上位ハーフワードのアライン動作から容易に類推できるので、上位ハーフワードのアライン動作について次に説明する。

【0020】ここで、命令列の最初の命令を命令-1、続く命令を命令-2と称するものとする。

【0021】まず、命令長が不明のときは、ハーフワードであると静的に予測する場合の動作を説明する。命令バッファとアライナの動作説明用のブロック図を示した図4 (a) および同図 (b)、図5 (a) および同図 (b)、図6 (a) および同図 (b)、図7 (a) および同図 (b) を参照すると、バッファ1a～1fのとり得る状態としては7通りあることが分る。ここで、各バッファ内で命令コードが有効である部分を網掛け模様で塗り潰して表わしてある。また、キャッシュのミスヒット等で命令フェッチが出ないときは停止する。

(1) 命令長を予測する場合(図3 (e))

図3 (e) に示す状態のとき、命令-1をハーフワードであると予測し、レジスタフェッチおよびリザベーションステーションへの登録などを行なう。

【0022】命令-1がワード長であった場合には命令-2を無効として、それ以降の実行をキャンセルし、次のクロックサイクルでの各バッファは図3 (g) の状態になる。

【0023】命令-1がハーフワードで予測が当っていた場合には、命令-2のサイズがハーフワードのとき図4 (a) の状態、すなわち、コントロール・ロジック3から供給されるセレクト10に応答してバッファ1aの内容がアライナ2aおよび2cにより選択され命令-1の出力に、セレクト10に応答してバッファ1bの内容がアライナ2bおよび2eにより選択され命令-2の出力になる。

【0024】命令-2のサイズがワードのとき図4 (b) の状態に示すように、バッファ1aの内容が命令-1の出力に、バッファ1bの内容が命令-2の出力になるとともに、バッファ1dの内容がアライナ2fによ

り選択されてバッファ1 eに、バッファ1 fにはバッファ1 dから直接に、それぞれ命令コードを移動させる。

(2) 命令長を予測しない場合(図3 (g))

図3 (g)の場合、命令長は前のクロックサイクルで分るので、この命令長に応じて命令-1がハーフワードのときは、図5 (a)の状態、すなわち、コントロール・ロジック3から供給されるストローブ1 1に応答してバッファ1 eの内容が命令-1の出力に、バッファ1 fの内容が命令-2の出力になるように命令コードを移動させる。

【0025】命令-1がワードのときは、命令-2がハーフワードであれば図5 (b)の状態、すなわち、ストローブ1 1に応答してバッファ1 aの内容が命令-2の出力に、バッファ1 eの内容が命令-1の出力になるように命令コードを移動させ、命令-2がワードであれば図6 (a)の状態、すなわち、ストローブ1 1に応答してバッファ1 aの内容が命令-2の出力に、バッファ1 eの内容が命令-1の出力になるようにそれぞれ命令コードを移動させる。

(3) 分岐の場合(図3 (b)および(c))

分岐の結果、図3 (b)および(c)のような状態になったときは、このクロックサイクルでは命令の発行は行なわれず、図6 (b)の状態、すなわち、バッファ1 cの内容がアライナ2 fに、バッファ1 dの内容がバッファ1 fにそれぞれ移され、図7 (a)の状態のようにセレクト1 0に応答してアライナ2 fにより選択されたバッファ1 eに格納されたデータが有効となるように、ストローブ1 1に応答して命令コードを移動する。

【0026】以上説明した動作の構成では、命令-1が命令列上の最初の命令となり、依存関係のチェックなど命令発行以降の処理は、従来のスーパスカラプロセッサの構成をそのまま利用できる。

【0027】第1の実施例のマイクロプロセッサによる命令発行のピーク性能は、キャッシュミスヒット、分岐および命令間の依存関係がなく、全く停止しない場合にはバッファは図3の(d)、(e)、(f)および(g)の状態をとり、命令長による状態遷移は図8に示すようになる。

【0028】図8を参照すると、例えば、各状態名は図3の(d)、(e)、(f)および(g)に対応し、遷移条件の数字は1番目の数字が命令-1に、2番目の数字が命令-2に対応する。すなわち、1のとき命令のサイズがワードを、0のときハーフワードであることを示す。

【0029】状態(e)から命令サイズが0, 0の遷移は状態(g)となり命令コードの流れは図4 (a)に、状態(e)から命令サイズが0, 1の遷移は状態(f)となり命令コードの流れは図4 (b)に、状態(g)から命令サイズが0, 0の遷移は状態(e)となり命令コードの流れは図5 (a)に、状態(g)から命令サイズ

が1, 0の遷移は状態(d)となり命令コードの流れは図5 (b)に、状態(g)から命令サイズが1, 1の遷移はそのまま状態(g)となり命令コードの流れは図6 (a)に、状態(e)から命令サイズが1, 0の遷移は状態(f)となり、命令コードの流れは図7 (b)になる。

【0030】遷移8 1および8 2は予測がはずれ1命令しか発行できないことを示している。すなわち、全ての事象は1 6通りあり、このうちの4通りの場合に1命令しか実行できない。

【0031】命令長がランダムな場合は、平均すると4クロックサイクルに1度の割り合いで1命令しか発行できないため、1サイクル2命令発行の理想的な場合に比べて約1割の性能低下となる。

【0032】第1の実施例におけるアライナのディレイは、2入力マルチブレクサの2段分(命令-1がアライナ2 a, 2 bとアライナ2 c、命令-2がアライナ2 b, 2 dとアライナ2 e)であるから約1割の性能低下でアライナのクリティカルパスを回避できる。

【0033】次に、本発明の第2の実施例を説明する。

【0034】命令実行時に、同じ命令長が続く傾向が多いときには、1つ前の命令のサイズに応じて動的に予測を行なう方が有効である。命令バッファが図3 (e)の状態であって、命令-1がワード長であると予測した場合の命令コードの流れを図7 (b)に示す。すなわち、バッファ1 aの内容が命令-1の出力となり、バッファ1 cの内容が命令-2の出力となる。

【0035】命令-2がハーフワード長であった場合のキャンセルの仕方は、第1の実施例の(1)項の場合と同様であるのでここでの説明は省略する。

【0036】

【発明の効果】以上説明したように本発明のマイクロプロセッサは、デコードする命令列のなかの命令のサイズが、前のクロックサイクルまでに分らない場合に、その命令列の最初の命令のサイズを予測して2番目の命令のデコードを行なう手段と、予測がはずれたときに2番目の命令のデコード結果を無効にする手段とを、バッファおよびアライナの組合せにより、命令コードを上位および下位で入れ替えることで実現できるようにした。したがって最初の命令のサイズを予測して2番目の命令をデコードするときのクリティカルパスを低減することができる。

【図面の簡単な説明】

【図1】(a)本発明の第1の実施例における上位ハーフワードを示すブロック図である。

(b)本発明の第1の実施例における下位ハーフワードを示すブロック図である。

【図2】可変長の命令セットの一例を示す図である。

【図3】(a)図1に示した命令バッファのとり得る状態を示す第1の図である。

(b) 図1に示した命令バッファのとり得る状態を示す第2の図である。

(c) 図1に示した命令バッファのとり得る状態を示す第3の図である。

(d) 図1に示した命令バッファのとり得る状態を示す第4の図である。

(e) 図1に示した命令バッファのとり得る状態を示す第5の図である。

(f) 図1に示した命令バッファのとり得る状態を示す第6の図である。

(g) 図1に示した命令バッファのとり得る状態を示す第7の図である。

【図4】(a) 命令バッファおよびアライナの動作説明用の第1の状態図である。

(b) 命令バッファおよびアライナの動作説明用の第2の状態図である。

【図5】(a) 命令バッファおよびアライナの動作説明用の第3の状態図である。

(b) 命令バッファおよびアライナの動作説明用の第4の状態図である。

【図6】(a) 命令バッファおよびアライナの動作説明用の第5の状態図である。

(b) 命令バッファおよびアライナの動作説明用の第6の状態図である。

【図7】(a) 命令バッファおよびアライナの動作説明用の第7の状態図である。

(b) 命令バッファおよびアライナの動作説明用の第8の状態図である。

【図8】命令バッファの状態遷移図である。

【符号の説明】

1 a ~ 1 f バッファ

2 a ~ 2 e アライナ

3 コントロールロジック

4 バスライン

5 インストラクションデコーダ

6 メモリ

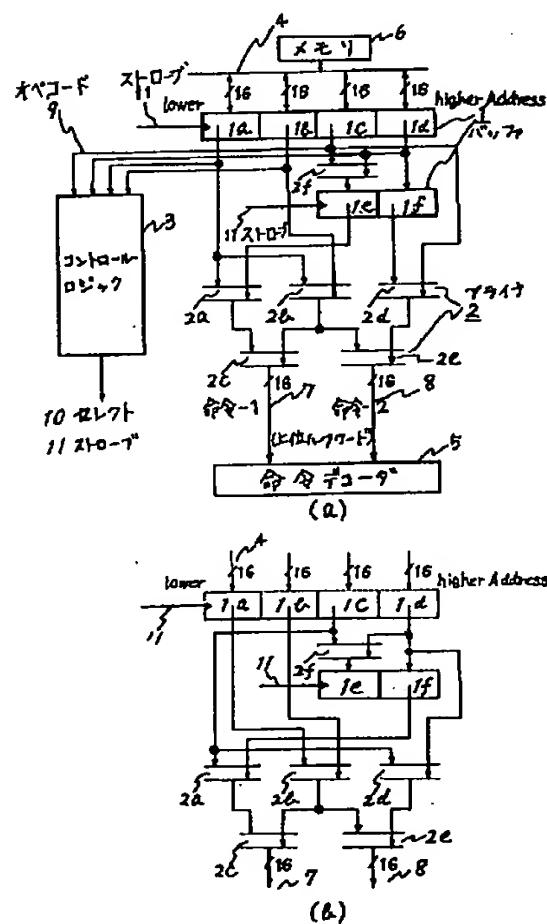
7 命令-1

8 命令-2

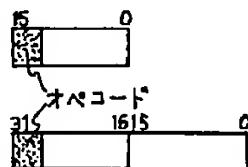
9 オペレーションコード

10 ストローブ

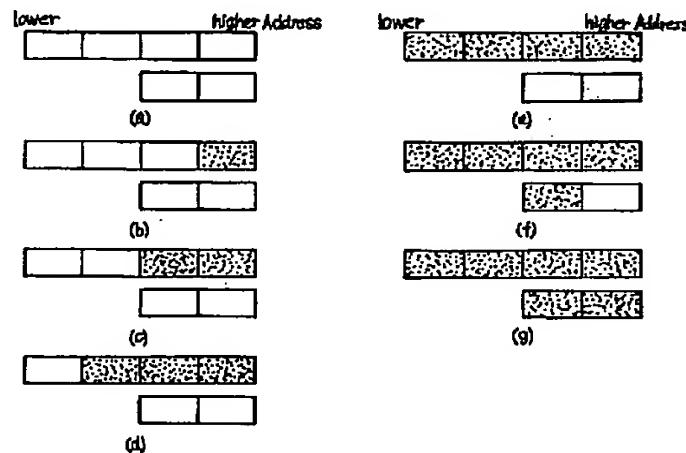
【図1】



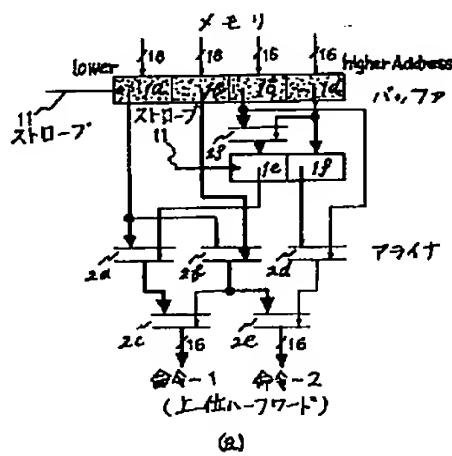
【図2】



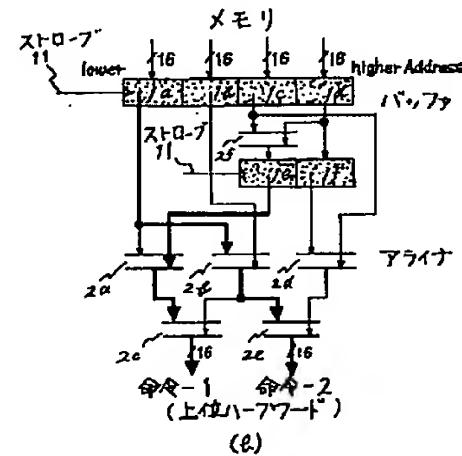
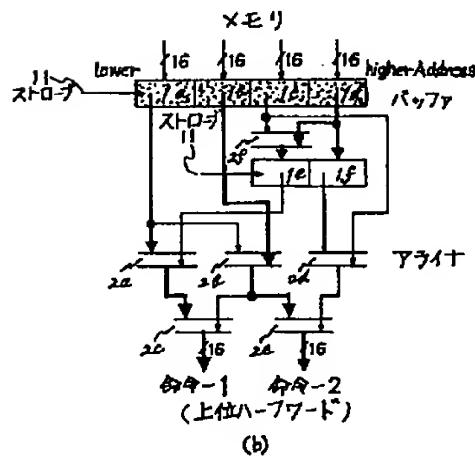
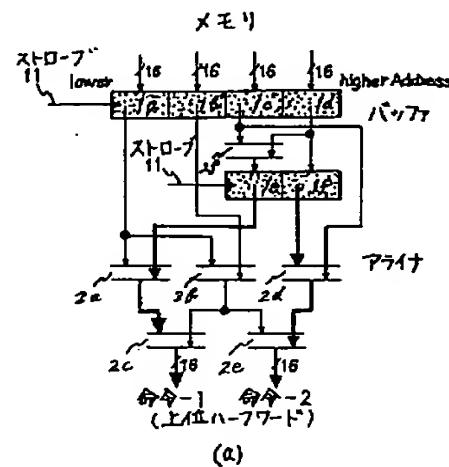
【図3】



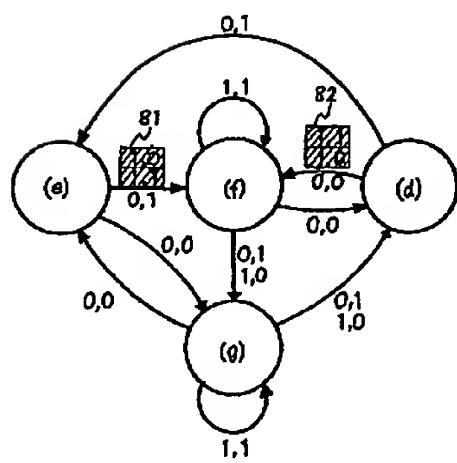
【図 4】



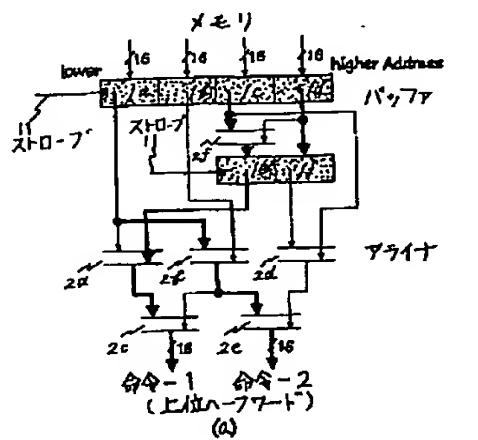
【図 5】



【図 8】



【図 6】



【図 7】

